

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-199713

(43)Date of publication of application : 12.07.2002

(51)Int.CI. H02M 3/28

(21)Application number : 2000-394828 (71)Applicant : SHINDENGEN ELECTRIC MFG CO LTD

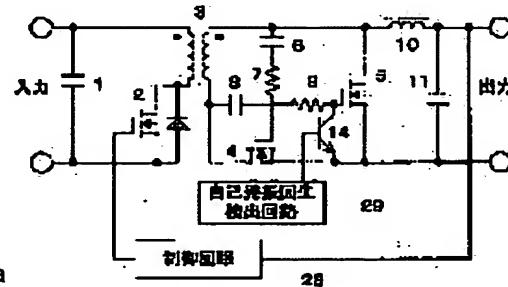
(22)Date of filing : 26.12.2000 (72)Inventor : KOBAYASHI KIMISADA
SEKINE YUTAKA
HAKODA YASUNARI

(54) SYNCHRONOUS RECTIFYING FORWARD CONVERTER

(57)Abstract:

PROBLEM TO BE SOLVED: To stop self oscillation of a synchronous rectifying circuit, which occurs when parallel operation is performed, and to prevent power regeneration produced from the output to the input, in a synchronous rectifying circuit system switching power device.

SOLUTION: In a synchronous rectification type forward converter, which converts a DC input voltage into a rectangular pulse voltage by a switching element and applies it to the primary winding of an output transformer, rectifies and smoothes the secondary winding side output of the output transformer with an output side synchronous rectifying circuit composed of a synchronous rectifying FET, a commutating FET, a choke coil, a capacitor, etc., and outputs a DC voltage, a switch 14 is arranged in parallel between the gate and the source of the commutating FET 5, and in parallel with the rectifying FET 4. Also a self oscillating detector 29 for the output-side synchronous rectifying circuit is provided. The switch 14 is controlled by a detection signal of the self oscillation detector, and between the gates and the sources of the synchronous rectifying FET, and the commutating FET are short-circuited or is opened.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-199713

(P2002-199713A)

(43)公開日 平成14年7月12日 (2002.7.12)

(51)Int.Cl.
H 02 M 3/28

識別記号

F I
H 02 M 3/28

マーク(参考)
F 5 H 7 3 0
B

審査請求 未請求 請求項の数7 O L (全 5 頁)

(21)出願番号 特願2000-394828(P2000-394828)

(22)出願日 平成12年12月26日 (2000.12.26)

(71)出願人 000002037

新電元工業株式会社

東京都千代田区大手町2丁目2番1号

(72)発明者 小林 公徳

埼玉県飯能市南町10番13号新電元工業株式会社内

(72)発明者 関根 豊

埼玉県飯能市南町10番13号 新電元工業株式会社内

(72)発明者 箱田 康徳

埼玉県飯能市南町10番13号 新電元工業株式会社内

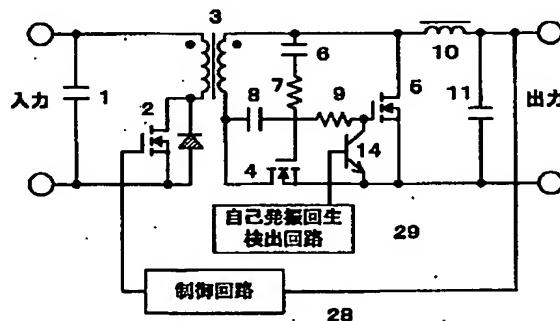
F ターム(参考) 5H730 BB23 DD04 DD27 EE13 EE59
FD01 FD62 FF19 FG01 XX44

(54)【発明の名称】 同期整流型フォワードコンバータ

(57)【要約】 (修正有)

【課題】同期整流回路方式のスイッチング電源において、並列運転時に発生する同期整流回路の自己発振を停止させ、出力より入力に回生される電力を無くするものである。

【解決手段】直流入力電圧をスイッチング素子により矩形波パルス電圧に変換して出力トランスの一次巻線に印可し、前記出力トランスの二次側巻線側の出力を、同期整流FET、転流FET、チョークコイル、コンデンサ等により構成された出力側同期整流回路により整流、平滑して直流電圧を出力する同期整流型フォワードコンバータにおいて、前記同期整流FET 4、転流FET 5のゲートソース間に並列にスイッチ14を設け、又、前記出力側同期整流回路の自己発振検出回路29を設け、前記自己発振検出回路の検出信号により前記スイッチ14を制御し該同期整流FET、転流FETのゲートソース間を短絡又は開放せしめる。



【特許請求の範囲】

【請求項1】直流入力電圧をスイッチング素子により矩形波パルス電圧に変換して出力トランスの一次巻線に印可し、前記出力トランスの二次側巻線側の出力を、同期整流FET、転流FET、チョークコイル、コンデンサ等により構成された出力側同期整流回路により整流、平滑して直流電圧を出力する同期整流型フォワードコンバータにおいて、前記転流FETのゲート-ソース間と並列にスイッチを設け、又、前記出力側同期整流回路の自己発振検出回路を設け、前記自己発振検出回路の検出信号により前記スイッチを制御し該転流FETのゲート-ソース間を短絡又は開放せしめるようにしたことを特徴とする同期整流型フォワードコンバータ。

【請求項2】直流入力電圧をスイッチング素子により矩形波パルス電圧に変換して出力トランスの一次巻線に印可し、前記出力トランスの二次側巻線側の出力を、同期整流FET、転流FET、チョークコイル、コンデンサ等により構成された出力側同期整流回路により整流、平滑して直流電圧を出力する同期整流型フォワードコンバータにおいて、前記同期整流FETのゲート-ソース間と並列にスイッチを設け、又、前記出力側同期整流回路の自己発振検出回路を設け、前記自己発振検出回路の検出信号により前記スイッチを制御し該同期整流FETのゲート-ソース間を短絡又は開放せしめるようにしたことを特徴とする同期整流型フォワードコンバータ。

【請求項3】請求項1の同期整流型フォワードコンバータを複数台有し、前記各コンバータは入力端子と出力端子を夫々共通にして並列接続されていることを特徴とする同期整流型フォワードコンバータ。

【請求項4】請求項2の同期整流型フォワードコンバータを複数台有し、前記各コンバータは入力端子と出力端子を夫々共通にして並列接続されていることを特徴とする同期整流型フォワードコンバータ。

【請求項5】自己発振検出回路はスイッチング素子の制御用PWM信号が無くなったことを検出し、これを自己発振検出信号としたことを特徴とする請求項1又は請求項2又は請求項3又は請求項4の同期整流型フォワードコンバータ。

【請求項6】自己発振検出回路は出力トランスの巻線電圧の上昇を検出し、これを自己発振検出信号としたことを特徴とする請求項1又は請求項2又は請求項3又は請求項4の同期整流型フォワードコンバータ。

【請求項7】自己発振検出回路は自己発振周波数を検出し、これを自己発振検出信号としたことを特徴とする請求項1又は請求項2又は請求項3又は請求項4の同期整流型フォワードコンバータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は同期整流型フォワードコンバータに係り、特に並列接続運転に適した同期整

流型フォワードコンバータに関する。

【0002】

【従来の技術】従来、この種の同期整流回路を用いたDC-DCコンバータとしては、図8に示すように、直流入力電源の直流電圧を、半導体スイッチ2のスイッチング動作によって矩形波パルス電圧に変換し、この矩形波パルス電圧をトランス3によって所望の電圧に変換した後、双方向性スイッチ素子（同期整流FET）4及び（転流FET）5の整流回路と、チョークコイル10およびコンデンサ11による平滑回路により整流・平滑して、その平均電圧として取り出すようしている。なお、前記した半導体スイッチ2のスイッチング動作の制御は、この同期整流コンバータの出力電圧を検出する電圧検出制御回路12により、その検出状況に基づいてPWM制御される。

【0003】一般に同期整流回路の場合は、前述した図9のようにスイッチ素子4、5を用いて同期動作させる場合と、スイッチ素子4のみにFETを用いて同期動作させる場合とがあるが、本発明は変換効率の向上を重視した前者の回路、即ち、スイッチ素子4、5と共に半導体スイッチ（FET）を用いた回路を対象としている。そこで前記双方向性スイッチ素子4を同期整流FET、素子5を転流FETと表現する。そして、このような同期整流コンバータは、小容量から大容量のものまで取り揃え、負荷容量に応じた同期整流コンバータを選択して用いられるようにしている。

【0004】

【発明が解決しようとする課題】しかし負荷容量に応じた同期整流コンバータを用意するということは、その機種数を多くする事であり、各機種毎に在庫を必要とする事になるため、設計、生産および物品管理の上から機種数の削減が望まれており、同一機種のコンバータモジュール（CONV1～CONV3）の並列接続運転による大容量負荷への対応がなされている。この並列運転の場合には以下の問題がある。

【0005】即ち、このようなモジュールを並列運転しているとき、出力電圧に差があると、出力電圧の高いモジュールからもう一方の低いモジュールに電流が流れ込み、出力電圧が低いモジュールにおいて、スイッチング素子2のゲート信号が絞られているにも関わらず出力側の同期整流回路が自己発振を始める。自己発振を始めることで、2次巻線側より1次巻線側に電力が回生され、出力電圧の差が大きくなると、回生される電力も多くなり、電力の損失が発生し、電源の破損にも至る。

【0006】そこで従来の回路では、同期整流回路の自己発振を停止させずに、1次側に回生する最大電力を制御する方法を行ってきた。その方法は、回生電力が大きくなると、自己発振周波数が低くなる事を利用し、ある一定の周波数より低くならない様発振周波数を制御していた。しかし自己発振を停止させないため、ある程度の電

力が1次側に回生されてしまい、電力の無駄となってしまう欠点がある。そこで本発明は、同期整流方式のスイッチング電源を、並列運転したときに起こる同期整流回路の自己発振現象を停止させ、電源の出力側より入力側に回生される電力を無くす事により、効率の良い電源システムを提案する。

【0007】

【課題を解決する為の手段】上記課題を解決するため請求項1の発明は、直流入力電圧をスイッチング素子により矩形波パルス電圧に変換して出力トランスの一次巻線に印可し、前記出力トランスの二次側巻線側の出力を、同期整流FET、転流FET、チョークコイル、コンデンサ等により構成された出力側同期整流回路により整流、平滑して直流電圧を出力する同期整流型フォワードコンバータにおいて、前記転流FETのゲートソース間にスイッチを設け、又、前記出力側同期整流回路の自己発振検出回路を設け、前記自己発振検出回路の検出信号により前記スイッチを制御し該転流FETのゲートソース間を短絡又は開放せしめるようにしたことを特徴とする。また前記同期整流FETのゲートソース間にスイッチを設け、又、前記出力側同期整流回路の自己発振検出回路を設け、前記自己発振検出回路の検出信号により前記スイッチを制御し該同期整流FETのゲートソース間を短絡又は開放せしめるようにしたことを特徴とする。

【0008】又、上記課題を解決するため請求項3の発明は、請求項1の同期整流型フォワードコンバータを複数台有し、前記各コンバータは入力端子と出力端子を夫々共通にして並列接続されていることを特徴とする同期整流型フォワードコンバータにある。

【0009】

【実施の概要】図1、図2は本発明の実施例回路圖であって、1は入力コンデンサ、2はスイッチング素子、3は電力変換用出力トランス、4は整流用双方向性スイッチング素子（同期整流FET）、5は回生用双方向性スイッチング素子（転流FET）、6はスイッチング素子4の駆動コンデンサ、7はスイッチング素子4の駆動抵抗、8はスイッチング素子5の駆動コンデンサ、9はスイッチング素子5の駆動抵抗、10は出力チョーク、11は平滑コンデンサ、14はスイッチ素子である。

【0010】この回路はモジュールを並列運転したときに、相手の出力電圧が自分の出力電圧よりも高いと、出力側より入力側に電力の回生が始まり、自己発振に至る。その自己発振を、巻き線の電圧上昇、また回生が始まると、制御回路28により、自分のスイッチング素子2のデューティを絞り、デューティが零になる事を、また自己発振が始まり電力の回生が増加すると発振周波数が変化する事を利用し、自己発振検出回路（29）により、スイッチ14をオンさせることで、同期整流FET又は、転流用FETのゲートソース間を短絡し、自己

発振を停止させるものである。

【0011】図1において、出力より高い電圧が出力に印可され、制御回路28によるパルスのデューティがゼロと成了した時、回生用双方向性スイッチング素子5がONしていたとする。回生用双方向性スイッチング素子5は、内蔵のゲートソース間コンデンサ電圧が放電し、スレッシュホールド電圧まで下がる間ONし続け、出力チョーク10にエネルギーを蓄える。素子5がOFFすると、出力チョーク10のエネルギーが放出され、整流用双方向性スイッチング素子4がONし、電力変換用トランス3により1次側にエネルギーが伝わる、1次側に伝達されてエネルギーは、スイッチング素子2の内蔵ダイオードを通り入力に回生される。

【0012】出力チョーク10のエネルギーが入力側に回生終わると、電力変換用トランス3より逆キック電圧が発生し、回生用双方向性スイッチング素子5がまたONする。この繰り返しにより自己発振を続ける。このように自己発振を停止させるには、同期整流FET又は、転流用FETの動作を停止させれば良く、1サイクル以上前記FETのゲートソース短絡し続ければ、自己発振が停止する事が分かる。

【0013】図2は本発明の他の実施例であり、モジュールを並列運転したときに、相手の出力電圧が自分の出力電圧よりも高いと、制御回路28の作用により、自分のデューティを絞ることを利用し、デューティが零になると、スイッチ14をオンさせることで転流FETのゲートソース間をし、転流FETを停止し自己発振を防ぐものである。簡単に動作を説明すると、スイッチング素子2のドライブ波形を抵抗18とコンデンサ19にて積分し、デューティが零となりドライブ波形が無くなるとホトカブラのトランジスタ30がOFFし、スイッチ14がONし自己発振を停止する。図3も停止させるFETが同期整流FETである点のみの違いである。

【0014】図4は本発明の第3の実施例であり、2次側より電力の回生が始まると、入力巻き線、及びその他の巻き線電圧が上昇するので、その電圧があらかじめ設定した電圧値を越えると、スイッチ14をオンさせることによつて転流FETを停止し、自己発振を停止するものである。簡単に動作を説明すると、IC25により、補助巻線12の電圧がある値より大きくなると、IC25がONし、トランジスタ22もON、そしてスイッチ14もONし転流用FETのゲートソース間を短絡し、転流用FETを停止し、自己発振を停止するものである。図5も同様であり、停止させるFETが同期整流FETである点のみの違いである。

【0015】図6は本発明の第5の実施例で、並列運転される他のモジュールの出力電圧が高く、回生される電力が多いほど、自己発振の発振周波数が低くなるということを利用し、スイッチング周波数の変化を周波数監視回路で読みとり、一定値より低くなるとスイッチ14を

オンさせ、自己発振を防ぐものである。簡単に説明すると、自己発振が継続し周波数が低くなると抵抗30、33、コンデンサ31にて構成される時定数回路に於いて、周波数が低くなるとのコンデンサ31の電圧が高くなり、スイッチ14をONし転流用FETのゲートソース間を短絡し、転流用FETを停止し、自己発振を停止するものである。図7も同様であり、停止させるFETが同期整流FETである点のみの違いである。

【0016】

【発明の効果】以上の説明から明らかなように、本発明によれば同期整流方式のスイッチング電源において並列接続を行い、並列運転時の同期整流回路の自己発振を止めることができる。因みに、出力10wの電源において、従来の回路においては、出力側より入力側への回生電力が約8wあったが、本発明の回路では、1w以下となり1wを越えると発振停止となり回生電力はゼロとなる。

【図面の簡単な説明】

【図1】本発明の基本実施例回路

【図2】本発明の実施例

* 【図3】本発明の実施例

【図4】本発明の実施例

【図5】本発明の実施例

【図6】本発明の実施例

【図7】本発明の実施例

【図8】従来の回路

【符号の説明】

1 : 入力コンデンサ

2 : スイッチング素子

10 3 : 電力変換用トランジスト

4 : 整流用双方向性スイッチング素子(同期整流

FET)

5 : 回生用双方向性スイッチング素子(転流FET)

10 : 出力チョーク

11 : 平滑コンデンサ

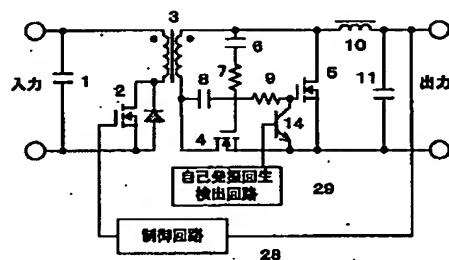
12 : 補助巻線

14 : スイッチ

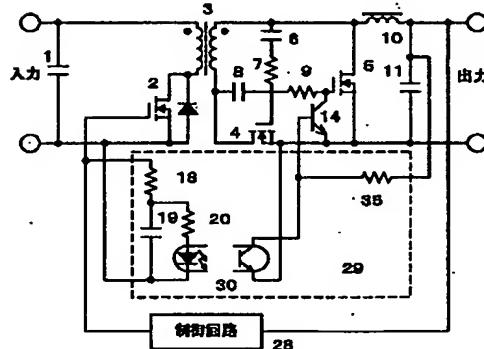
28 : 制御回路

*20 29 : 自己発振検出回路

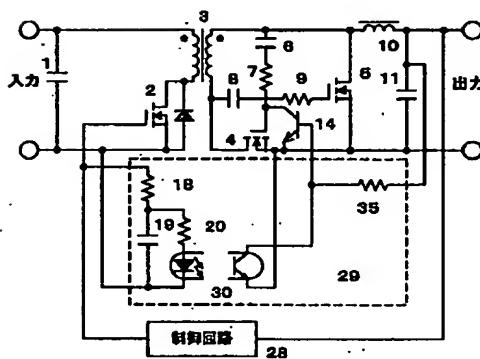
【図1】



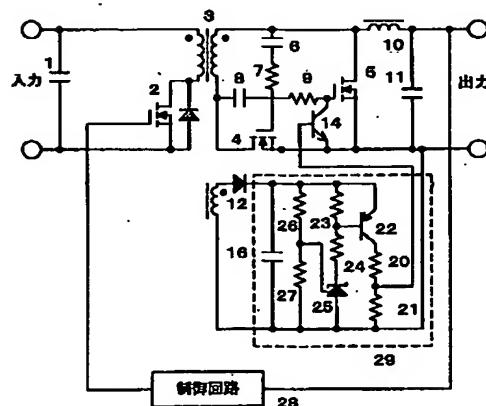
【図2】



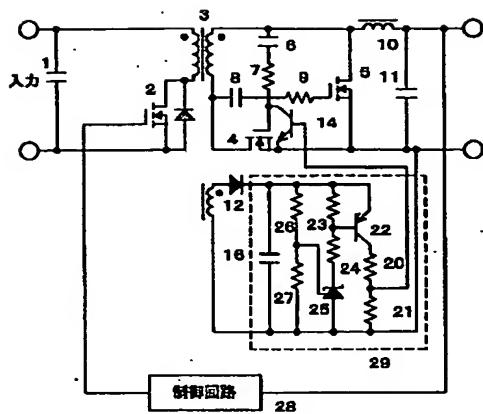
【図3】



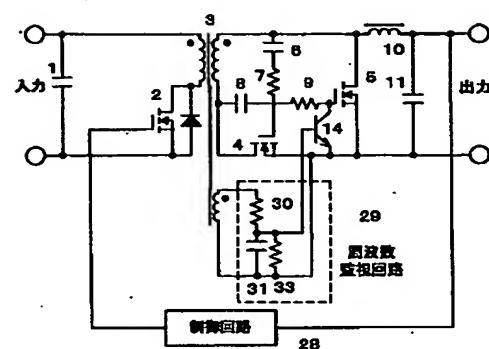
【図4】



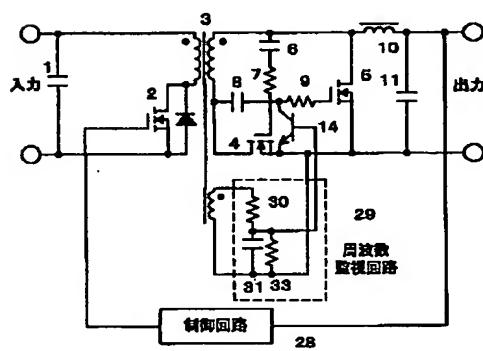
【図5】



【図6】



【図7】



【図8】

